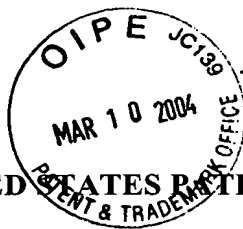


Docket No. 243878US2S/hyc



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Moto YABUKI

GAU: 2811

SERIAL NO: 10/682,113

EXAMINER:

FILED: October 10, 2003

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2002-298500	October 11, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

10/682,113
0351267

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 1 1 日
Date of Application:

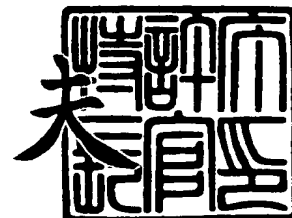
出 願 番 号 特 願 2 0 0 2 - 2 9 8 5 0 0
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 9 8 5 0 0]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 3 年 1 0 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 4 6 2 8

【書類名】 特許願

【整理番号】 A000200597

【提出日】 平成14年10月11日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 12

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 矢吹 宗

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】

半導体基板と、
前記半導体基板の上方に設けられ、下部電極と、上部電極と、前記上部電極と下部電極との間に設けられた誘電体膜とを含むキャパシタと、
前記キャパシタを含む領域上に設けられた絶縁膜と、
前記上部電極に接続された配線であって、前記絶縁膜内にバリアメタル膜を介して設けられ前記上部電極から垂直方向に延伸した第 1 の導電部と、前記絶縁膜内にバリアメタル膜を介さずに設けられ前記第 1 の導電部と離間した位置で垂直方向に延伸した第 2 の導電部と、を含む第 1 の配線と、
を備えたことを特徴とする半導体装置。

【請求項 2】

前記第 1 の配線は、前記第 1 の導電部と第 2 の導電部との間で水平方向に延伸した第 3 の導電部をさらに含む
ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記絶縁膜内にバリアメタル膜を介して設けられ前記下部電極から垂直方向に延伸した導電部を含む第 2 の配線をさらに備えた
ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記第 1 の配線は、半導体基板上に形成されたトランジスタに接続されている
ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記バリアメタル膜は、TiN、NbN、Ta₂N₅及びTaAlNの少なくとも一つを含む
ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】

前記第 1 及び第 2 の導電部は A 1 を含む
ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】

前記上部電極は P t 又は I r を含む
ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】

半導体基板の上方に、下部電極と、上部電極と、前記上部電極と下部電極との間に設けられた誘電体膜とを含むキャパシタを形成する工程と、
前記上部電極に接続された第 1 の配線を形成する工程と、
を備えた半導体装置の製造方法であって、
前記第 1 の配線を形成する工程は、
前記キャパシタを含む領域上に絶縁膜を形成する工程と、
前記絶縁膜の一部を除去して前記上部電極に達する第 1 の穴を形成する工程と、
、
前記第 1 の穴内にバリアメタル膜を介して第 1 の導電部を形成する工程と、
前記絶縁膜の一部を除去して第 2 の穴を形成する工程と、
前記第 2 の穴内にバリアメタル膜を介さずに第 2 の導電部を形成する工程と、
を含む
ことを特徴とする半導体装置の製造方法。

【請求項 9】

前記第 2 の導電部を形成する工程の際に、前記第 1 の導電部と第 2 の導電部との間に介在する第 3 の導電部を形成する
ことを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】

前記第 1 の配線を形成する工程は、前記第 1 の導電部及び第 2 の導電部を形成した後、前記第 1 の導電部と第 2 の導電部との間に介在する第 3 の導電部を形成する工程をさらに含む

ことを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 11】

前記第 1 の穴内に第 1 の導電部を形成する工程と、前記第 2 の穴内に第 2 の導電部を形成する工程とは、同一工程で行われる

ことを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 12】

前記第 1 の配線を形成する工程は、前記下部電極に接続された第 2 の配線を形成する工程を含む

ことを特徴とする請求項 8 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置、特にキャパシタを有する半導体装置に関する。

【0002】

【従来の技術】

キャパシタの誘電体膜に PZT (Pb (Zr, Ti) O₃) 等の強誘電体を用いた不揮発性のメモリ (FeRAM) について研究開発が行われている。

【0003】

以下、従来技術に係る強誘電体メモリの製造工程を、図 3 (a) ~ 図 3 (d) を参照して説明する。

【0004】

まず、図 3 (a) に示すように、半導体基板 11 上に、MIS トランジスタ 12、層間絶縁膜 13、W プラグ 14、シリコン窒化膜 15 及びシリコン酸化膜 16 を形成する。次に、シリコン酸化膜 16 上に、下部電極 21、強誘電体膜 22 及び上部電極 23 からなる強誘電体キャパシタを形成する。下部電極 21 及び上部電極 23 には、例えばプラチナ (Pt) 膜、イリジウム (Ir) 膜或いは IrO₂ 膜が用いられる。強誘電体膜 22 には、例えば PZT 膜 (Pb (Zr, Ti) O₃ 膜) が用いられる。次に、全面に層間絶縁膜 24 を形成し、さらに層間絶縁膜 24 等をパターンニングして、上部電極 23 に達する接続孔 31、下部電極 21 に達する接続孔 32 及び W プラグ 14 に達する接続孔 33 を形成する。

【0005】

次に、図3（b）に示すように、TiN等のバリアメタル膜及びAl膜を順次堆積し、さらにCMP等の処理を行うことで、接続孔31内にはバリアメタル膜34aを介してAl膜35aが、接続孔32内にはバリアメタル膜34bを介してAl膜35bが、接続孔33内にはバリアメタル膜34cを介してAl膜35cが埋め込まれる。バリアメタル膜は、Al膜と下部電極21及び上部電極23に用いるPt膜やIr膜との合金化を防止するためのものである。

【0006】

次に、図3（c）に示すように、全面にシリコン酸化膜36を堆積し、さらにシリコン酸化膜36をパターンングして溝37及び38を形成する。次に、図3（d）に示すように、溝37内にAl膜39aを、溝38内にAl膜39bを形成する。

【0007】

このようにして、キャパシタの上部電極23にはAl膜35a、39a及び35cからなる配線が接続され、キャパシタの下部電極21にはAl膜35b及び39bからなる配線が接続される。

【0008】

しかしながら、上述した従来の製造方法では、接続孔31及び32内の他に、接続孔33内にも、バリアメタル膜を介してAl膜が埋め込まれる。接続孔33は、接続孔31及び32に比べて深く、また接続孔31及び32に比べて一般的に径が小さい。したがって、半導体装置が微細化されると、接続孔33内にバリアメタル膜を介してAl膜を完全に埋め込むことが困難になり、Al膜内にボイド等が生じやすくなる。その結果、配線の特性や信頼性が著しく悪化するという問題が生じる。

【0009】

公知文献として、特許文献1には、強誘電体メモリにおいて、コンタクト孔や配線溝に同時に金属を埋め込むという技術が提案されている。しかしながら、この提案に記載された構造にバリアメタル膜を用いた場合にも、半導体装置が微細化されると、深いコンタクト孔（接続孔）内にバリアメタル膜を介して金属を完全に埋め込むことは困難であり、配線の特性や信頼性が著しく悪化するという問

題が生じる。

【0010】

【特許文献1】

特開 2001-102538 号公報

【0011】

【発明が解決しようとする課題】

このように、従来の強誘電体メモリでは、キャパシタの下部電極や上部電極に直接接していない接続孔内にもバリアメタル膜を介してA1膜を形成するため、A1膜の埋め込みが困難になり、配線の特性や信頼性が低下するという問題があった。

【0012】

本発明は上記従来の課題に対してなされたものであり、キャパシタに接続される配線の特性や信頼性を向上させることが可能な半導体装置及びその製造方法を提供することを目的としている。

【0013】

【課題を解決するための手段】

本発明に係る半導体装置は、半導体基板と、前記半導体基板の上方に設けられ、下部電極と、上部電極と、前記上部電極と下部電極との間に設けられた誘電体膜とを含むキャパシタと、前記キャパシタを含む領域上に設けられた絶縁膜と、前記上部電極に接続された配線であって、前記絶縁膜内にバリアメタル膜を介して設けられ前記上部電極から垂直方向に延伸した第1の導電部と、前記絶縁膜内にバリアメタル膜を介さずに設けられ前記第1の導電部と離間した位置で垂直方向に延伸した第2の導電部と、を含む第1の配線と、を備えたことを特徴とする。

【0014】

本発明に係る半導体装置の製造方法は、半導体基板の上方に、下部電極と、上部電極と、前記上部電極と下部電極との間に設けられた誘電体膜とを含むキャパシタを形成する工程と、前記上部電極に接続された第1の配線を形成する工程と、を備えた半導体装置の製造方法であって、前記第1の配線を形成する工程は、

前記キャパシタを含む領域上に絶縁膜を形成する工程と、前記絶縁膜の一部を除去して前記上部電極に達する第 1 の穴を形成する工程と、前記第 1 の穴内にバリアメタル膜を介して第 1 の導電部を形成する工程と、前記絶縁膜の一部を除去して第 2 の穴を形成する工程と、前記第 2 の穴内にバリアメタル膜を介さずに第 2 の導電部を形成する工程と、を含むことを特徴とする。

【0015】

【発明の実施の形態】

以下、本発明の実施形態を図面を参照して説明する。

【0016】

（実施形態 1）

図 1（a）～図 1（d）は、本発明の第 1 の実施形態に係る半導体装置（強誘電体メモリ）の製造工程を示した断面図である。

【0017】

まず、図 1（a）に示すように、シリコン基板等の半導体基板 11 上に、MIS トランジスタ 12 を形成する。続いて、シリコン酸化膜（SiO₂ 膜）等の層間絶縁膜 13 を全面に形成する。続いて、この層間絶縁膜 13 に MIS トランジスタ 12 のソース又はドレインに達する接続孔を開け、接続孔内に W プラグ 14 を埋め込む。さらに、全面にシリコン窒化膜（SiN 膜）15 及びシリコン酸化膜（SiO₂ 膜）16 を形成する。

【0018】

次に、シリコン酸化膜 16 上に、下部電極 21、下部電極 21 上の強誘電体膜 22 及び強誘電体膜 22 上の上部電極 23 からなる強誘電体キャパシタを形成する。下部電極 21 及び上部電極 23 には、例えばプラチナ（Pt）膜、イリジウム（Ir）膜或いは IrO₂ 膜を用いる。強誘電体膜 22 には、例えば PZT 膜（Pb（Zr, Ti）O₃ 膜）を用いる。

【0019】

次に、キャパシタを含む領域上にシリコン酸化膜等の層間絶縁膜 24 を形成する。続いて、フォトリソグラフィ及び RIE により層間絶縁膜 24 をパターンニングし、上部電極 23 に達する接続孔 51 及び下部電極 21 に達する接続孔 52 を

形成する。

【0020】

次に、図1(b)に示すように、接続孔51及び52を含む全面にバリアメタル膜及び金属膜を順次堆積する。バリアメタル膜には、TiN、NbN、Ta₂N、TaAlN、或いはそれらの積層構造を用いる。金属膜にはAl膜を用いる。さらに、CMPによって余分なバリアメタル膜及び金属膜を除去することで、接続孔51内にはバリアメタル膜53aを介して金属膜54aが形成された導電部が、接続孔52内にはバリアメタル膜53bを介して金属膜54bが形成された導電部が得られる。なお、金属膜54a及び54bをAlのリフローによって接続孔51及び52内に埋め込み形成する場合には、バリアメタル膜53a及び53b上に予めライナー膜を形成しておく。このライナー膜は、バリアメタル膜53a及び53bとは異なるものであり、例えばTi膜或いはNb膜が用いられる。

【0021】

次に、図1(c)に示すように、全面に絶縁膜としてシリコン酸化膜55を堆積する。続いて、フォトリソグラフィ及びRIEを用いて、シリコン酸化膜55、層間絶縁膜24、シリコン酸化膜16及びシリコン窒化膜15をパターンニングする。これにより、Wプラグ14に達する接続孔56、金属膜54aに達する溝57及び金属膜54bに達する溝58が形成される。

【0022】

次に、図1(d)に示すように、全面に金属膜としてAl膜を形成する。さらに、CMPによって余分な金属膜を除去することで、接続孔56内には金属膜59からなる導電部が、溝57内には金属膜60aからなる導電部が、溝58内には金属膜60bからなる導電部が形成される。なお、金属膜59、60a及び60bをAlのリフローによって埋め込み形成する場合には、予めライナー膜を形成しておく。このライナー膜はバリアメタル膜53a及び53bとは異なるものであり、例えばTi膜或いはNb膜が用いられる。

【0023】

このようにして、キャパシタの上部電極23とMISトランジスタ12のソー

ス又はドレインに接続されたWプラグ14とは、垂直方向に延伸した導電部54a、水平方向に延伸した導電部60a及び垂直方向に延伸した導電部59からなる配線を介して接続される。また、キャパシタの下部電極21には、垂直方向に延伸した導電部54b及び水平方向に延伸した導電部60bからなる配線が接続される。

【0024】

以上のように、本実施形態では、まず下部電極21及び上部電極23に通じる接続孔51及び52を形成し、これらの接続孔51及び52にバリアメタル膜及び金属膜(A1膜)を埋め込んだ後、Wプラグ14に通じる接続孔56を形成しているため、接続孔56内にはバリアメタル膜は形成されない。バリアメタル膜は、配線となる金属膜(A1膜等)と下部電極21及び上部電極23に用いる金属膜(Pt膜、Ir膜等)との合金化を防止するためのものであり、接続孔56内にバリアメタル膜を設けなくても不都合は生じない。したがって、本実施形態によれば、配線となる金属膜と下部電極及び上部電極に用いる金属膜との合金化を防止しつつ、接続孔内への金属膜の埋め込みを確実かつ容易に行うことが可能となり、半導体装置が微細化されても、特性や信頼性に優れた配線を得ることが可能となる。

【0025】

(実施形態2)

図2(a)～図2(d)は、本発明の第2の実施形態に係る半導体装置(強誘電体メモリ)の製造工程を示した断面図である。なお、図1に示した構成要素と対応する構成要素については、同一の参照番号を付し、それらの詳細な説明は省略する。

【0026】

図2(a)に示した基本的な工程は、図1(a)に示した工程と同様である。すなわち、下部電極21、強誘電体膜22及び上部電極23からなる強誘電体キャパシタ等を形成した後、強誘電体キャパシタを覆う層間絶縁膜24を形成する。その後、フォトリソグラフィ及びRIEにより層間絶縁膜24をパターンニングし、上部電極23に達する接続孔71及び下部電極21に達する接続孔72を形

成する。

【0027】

次に、図2 (b) に示すように、接続孔71及び72を含む全面にバリアメタル膜を堆積する。バリアメタル膜には、TiN、NbN、Ta₂N、TaAlN、或いはそれらの積層構造を用いる。さらに、CMPによって余分なバリアメタル膜を除去することで、接続孔71の内面に沿ってバリアメタル膜73aを、接続孔72の内面に沿ってバリアメタル膜73bを残す。

【0028】

次に、図2 (c) に示すように、フォトリソグラフィ及びRIEにより層間絶縁膜24、シリコン酸化膜16及びシリコン窒化膜15をパターンニングして、Wプラグ14に達する接続孔を形成する。続いて、全面に金属膜(Al膜)を堆積し、CMPによって余分な金属膜を除去することで、接続孔71、72及びWプラグ14に達する接続孔内にそれぞれ、金属膜74a、74b及び74cからなる導電部を形成する。なお、金属膜74a、74b及び74cをAlのリフローによって各接続孔内に埋め込み形成する場合には、第1の実施形態で説明したのと同様のライナー膜を予め形成しておく。

【0029】

次に、図2 (d) に示すように、全面に絶縁膜としてシリコン酸化膜75を堆積する。続いて、フォトリソグラフィ及びRIEを用いてシリコン酸化膜75をパターンニングし、金属膜74a及び74cに達する溝及び金属膜74bに達する溝を形成する。さらに、全面に金属膜としてAl膜を形成する。さらに、CMPによって余分な金属膜を除去することで、金属膜76aからなる導電部及び金属膜76bからなる導電部が、各溝内に形成される。なお、金属膜76a及び76bをAlのリフローによって埋め込み形成する場合には、第1の実施形態で説明したのと同様のライナー膜を予め形成しておく。

【0030】

このようにして、キャパシタの上部電極23とMISトランジスタ12のソース又はドレインに接続されたWプラグ14とは、垂直方向に延伸した導電部74a、水平方向に延伸した導電部76a及び垂直方向に延伸した導電部74cから

なる配線を介して接続される。また、キャパシタの下部電極 21 には、垂直方向に延伸した導電部 74b 及び水平方向に延伸した導電部 76b からなる配線が接続される。

【0031】

以上のように、本実施形態でも、第 1 の実施形態と同様、W プラグ 14 に通じる接続孔内にはバリアメタル膜は形成されない。したがって、第 1 の実施形態と同様、配線となる金属膜と下部電極及び上部電極に用いる金属膜との合金化を防止しつつ、接続孔内への金属膜の埋め込みを確実にすることが可能となり、半導体装置が微細化されても、特性や信頼性に優れた配線を得ることが可能となる。

【0032】

なお、上述した第 2 の実施形態では、金属膜 74a、74b 及び 74c を同一工程で接続孔内に埋め込むようにしたが、図 2 (b) の工程でバリアメタル膜 73a 及び 73b を形成した後に金属膜 74a 及び 74b を形成し、その後で W プラグ 14 に通じる接続孔を形成して、該接続孔内に金属膜 74c を埋め込むようにしてもよい。

【0033】

また、上述した第 2 の実施形態では、図 2 (d) の工程において、シリコン酸化膜 75 に形成した溝内に金属膜 76a 及び 76b を埋め込むようにしたが、図 2 (c) の工程の後、金属膜を全面に形成し、この金属膜を RIE 等でパターンニングして金属膜 76a 及び 76b を形成するようにしてもよい。

【0034】

また、上述した第 1 及び第 2 の実施形態では、下部電極 21 に接続される導電部を下部電極の上側に設けるようにしたが、該導電部を下部電極の下側に設けた構造（いわゆる COP 構造）を用いることも可能である。

【0035】

また、上述した第 1 及び第 2 の実施形態では、W プラグ 14 を介して MIST ランジスタ 12 のソース又はドレインに導電部（図 1 では導電部 59、図 2 では導電部 74c）を接続するようにしたが、W プラグ 14 を設けずに、当該導電部

をソース又はドレインに直接接続するようにしてもよい。

【0036】

さらに、上述した第1及び第2の実施形態では、接続孔や溝内に形成する金属膜としてAl膜を用いたが、Al膜の代わりにCu膜やW膜を用いることも可能である。

【0037】

以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示された構成要件を適宜組み合わせることによって種々の発明が抽出され得る。例えば、開示された構成要件からいくつかの構成要件が削除されても、所定の効果が得られるものであれば発明として抽出され得る。

【0038】

【発明の効果】

本発明によれば、半導体装置が微細化されても、接続孔内への導電膜の埋め込みを確実かつ容易に行うことができ、特性や信頼性に優れた半導体装置を得ることが可能となる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係る半導体装置の製造工程を示した断面図である。

【図2】

本発明の第2の実施形態に係る半導体装置の製造工程を示した断面図である。

【図3】

従来技術に係る半導体装置の製造工程を示した断面図である。

【符号の説明】

11…半導体基板

12…MISトランジスタ

13、24…層間絶縁膜

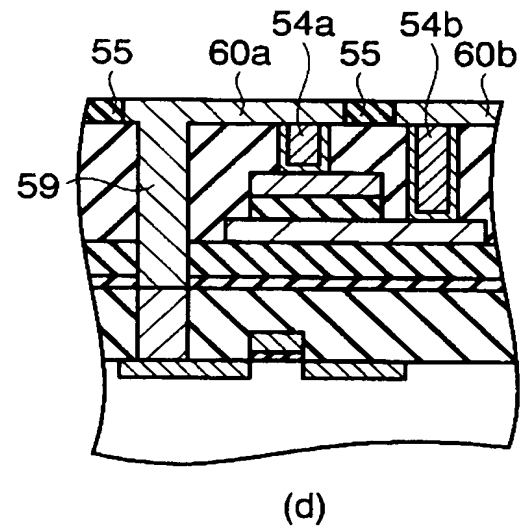
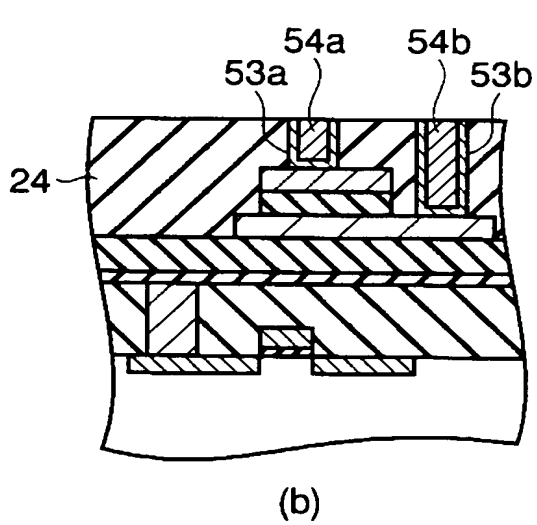
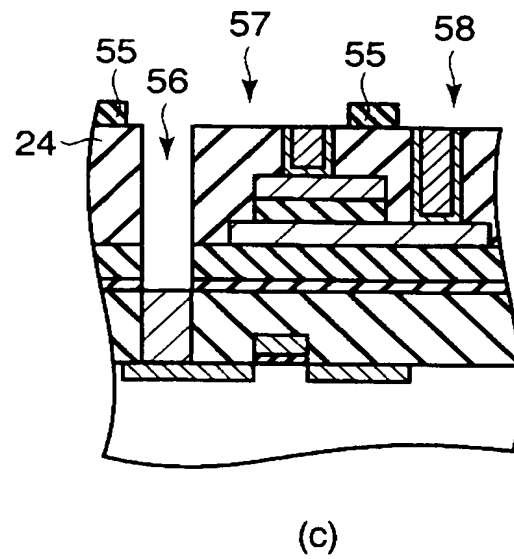
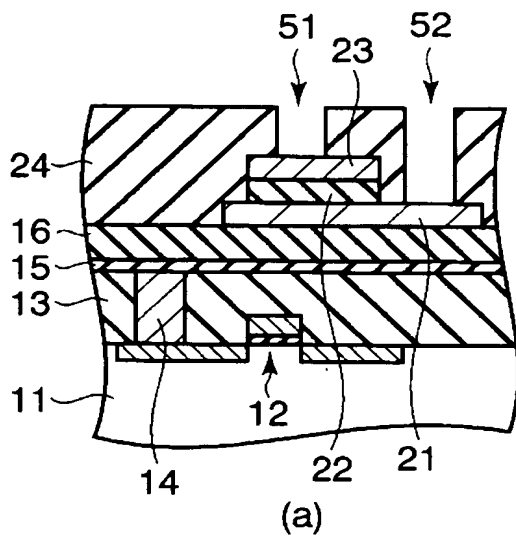
14…Wプラグ

- 1 5 …シリコン窒化膜
- 1 6、5 5、7 5 …シリコン酸化膜
- 2 1 …下部電極
- 2 2 …強誘電体膜
- 2 3 …上部電極
- 5 1、5 2、5 6、7 1、7 2 …接続孔
- 5 3 a、5 3 b、7 3 a、7 3 b …バリアメタル膜
- 5 4 a、5 4 b、5 9、6 0 a、6 0 b、7 4 a、7 4 b、7 4 c、7 6 a、
7 6 b …金属膜
- 5 7、5 8 …溝

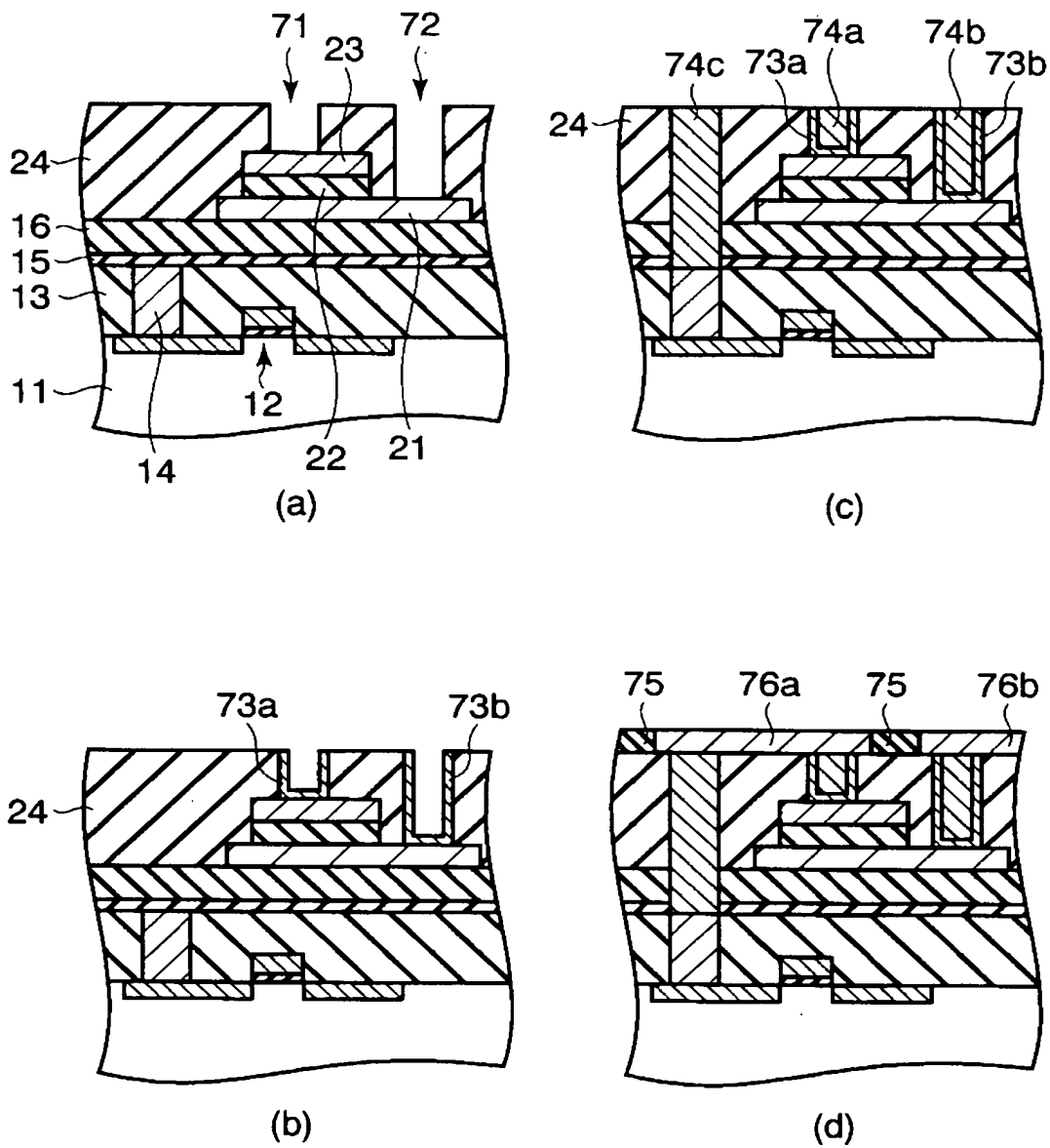
【書類名】

図面

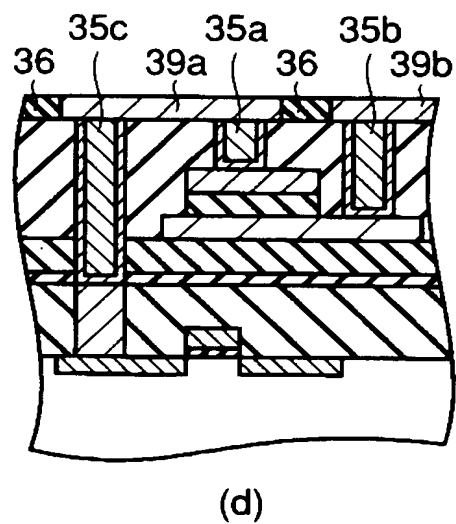
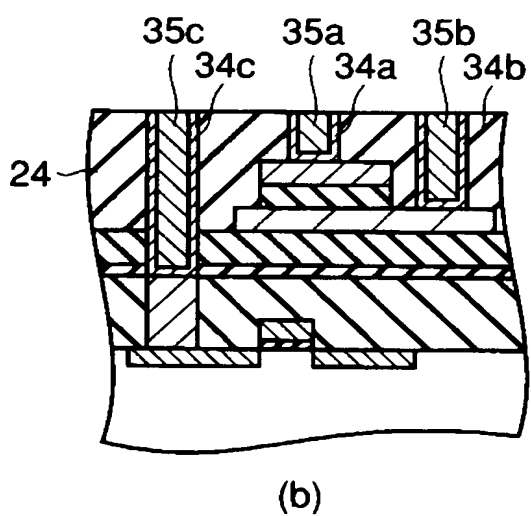
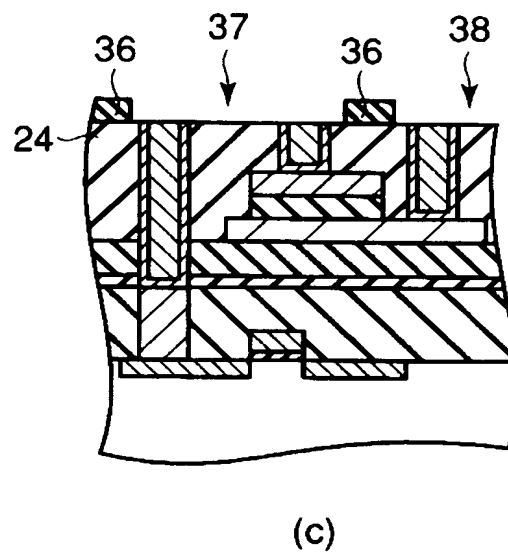
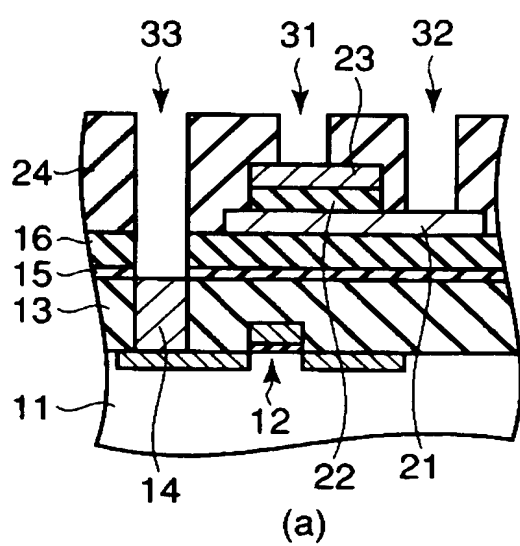
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 キャパシタに接続される配線の特性や信頼性を向上させることが可能な半導体装置を提供する。

【解決手段】 半導体基板 11 と、半導体基板の上方に設けられ、下部電極 21 と、上部電極 23 と、上部電極と下部電極との間に設けられた誘電体膜 22 とを含むキャパシタと、キャパシタを含む領域上に設けられた絶縁膜 24 と、上部電極に接続された配線であって、絶縁膜内にバリアメタル膜 53a を介して設けられ上部電極から垂直方向に延伸した第 1 の導電部 54a と、絶縁膜内にバリアメタル膜を介さずに設けられ第 1 の導電部と離間した位置で垂直方向に延伸した第 2 の導電部 59 とを含む第 1 の配線とを備える。

【選択図】 図 1

特願 2 0 0 2 - 2 9 8 5 0 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝